

剪除不可變者: 靜態安全證明、基數特化派發與自我捕捉資料重排

整機遊戲主機的位元精確開關級模擬

黎映微 (Ying-Wei Li)
Independent Researcher, Taiwan
baxermux@gmail.com

Abstract

開關級模擬把晶片當成它的電晶體來執行, 是唯一能逐位元重現 pass-transistor 匯流排、動態電荷儲存與預充行為的軟體模型, 因此始終是 1980 年代 NMOS 晶片晶粒級保存的參考工具。它也以慢著稱: 每個事件都要透過指標追逐式的圖走訪重新解析一個通道相連元件 (CCC), 而受控語言向來被認為不適合這種核心。我們提出 AprVisual: 一個以 C# 實作的 NES 整機模擬器 (2A03 + 2C02, 約 14.7K 節點 / 26.8K NMOS 電晶體), 解析語意在功能上等同 MOSSIM II。在單顆 Zen 2 核心上它持續達到**每秒約 13.6 萬個主時脈半週期 (hc/s)**(等效約 68 kHz 的矽主時脈), 且全程**位元精確**(全狀態 checksum)。這份增益來自方法、而非語言: 我們未調優的 C# 基線就已追平已優化的 C++ 直系祖先 (MetalNES), 本文的技術再加上約 2 倍——整體約為該 C++ 祖先的 2.5 倍、chipsim.js 逐字移植版的 5.6 倍。速度來自三個家族: (1) 可證明無效的事件壓制——載入期結構證明 (含電荷分享 tie-break 免疫的電容支配論證), 在入列之前刪掉約 21% 的重算; (2) 基數特化派發——執行期證明 active CCC 大小 ≤ 2 , 就地解析; (3) 自我捕捉資料重排——同進程的 inspector-executor 遍, 每次載入由生產級聯的初次觸碰順序重新導出節點 ID 空間。九階段同日消融加硬體計數器逐級量化, 並證明引擎受限於延遲鏈而非 miss 數: 重排砍掉 67% 的 L1d miss 而牆鐘只動個位數; L1i miss 全程僅 0.2~0.3 MPKI——這正是「直譯在此勝過編譯」的體系結構原因。完整的約 100 頁技術專論與全部原始碼、benchmark 套件、原始數據皆公開 [21]。

關鍵字——開關級模擬、事件驅動模擬、通道相連元件、事件壓制、資料佈局、位元精確、硬體保存。

1 簡介

RTL 與行為模型無法表達 1980 年代 NMOS 晶片實際在做的事: 雙向 pass-transistor 匯流排、以浮接節點電荷實作的儲存、預充/條件放電邏輯、以驅動強度決勝的匯流排競爭。2C02 PPU 的精靈記憶體不是一塊 RAM 巨集——是約 2,300 顆浮接電容。Bryant 的 MOSSIM 譜系 [1] 的開關級模擬, 是唯一讓這些行為「湧現」而非「手寫」的軟體層級, 因此是晶粒照片網表 [15]、[16] 與保存工作的參考模型。本文的主題就是這份精確性的代價。這件事的意義不止於單一晶片: 晶粒導出的開關級模型是硬體保存與逆向矽驗證的基底; 我們用來拉高單核吞吐的載入期與結構性技術, 可移植到任何事件驅動的開關級工作負載; 而我們所觸及的天花板本身就是一項結果——整機 NMOS 模型的實時模擬, 沿此路線在單核上仍不可達。在這個場景裡位元精確不可妥協: 浮接 tie-break 就是晶片的記憶機制, 而我們在 §VII 展示看似安全的近似會災難性失效——黑畫面、PC 出軌, 千個半週期之內——不會優雅降級。

事件驅動的開關級模擬把時間花在重新解析 CCC: 每個事件一次「沿目前導通的電晶體做圖走訪 + 旗標 OR + 優先序/電荷解析」。在晶粒網表上導通群極小——實測平均 1.13~1.4 節點——事件只有數十奈秒, 沒有大而規則的計算可以批次化、向量化或丟給加速器。走訪是一條相依載入鏈; 引擎活在記憶體延遲地板上。此外有兩個預設一路跟著這個工作負載: 直譯器一定遠輸給編譯、受控語言根本不夠格。我們的實測反駁了這兩點。

本文有五項貢獻。

1. **帶靜態安全證明的剪枝家族 (P-1...P-4):** 當重算可被證明為 no-op 時, 僅憑靜態結構加上兩端點的即時狀態, 就把入列本身壓掉。包含本文最強的主張: **電容支配 un-taint**——電容嚴格小於所有通道鄰居的節點, 永遠贏不了 Bryant 式電荷分享 tie-break, 因此經過它的同態合併可證明無效——以及度 1 無驅動葉節點的**佇列前隔離剪枝**。合計刪掉約 21% 的節點重算 (已執行指令數 -33%, §VI), 位元精確。
2. **基數特化派發:** 執行期證明 active CCC 恰為 $\{n\}$ (R-1) 或恰為 {種子, 鄰居}(B1 成對路徑), 就地解析並逐位元組複製走訪的順序敏感語意。誠實定位: IRSIM 式動態尺寸 [3] 上的早退執行過濾器——工程而非新理論——但值 +18.7%(R-1) 與再 +7.0%(B1)。
3. **自我捕捉初次觸碰重排:** 三遍載入——分類節點到剪枝類別; 類別為主鍵重建, 讓熱迴圈的安全查表變成暫存器區間比較 (每次 reset 以基準真相驗證 + 去優化式安全回退); 再用 settle 迴圈的冷儀器化副本重新捕捉生產級聯的真實初次彈出順序並以之重建。零 profile 檔、任何 ROM、構造上免疫工作負載漂移。實證上的新發現: 鍵的價值在已剪枝級聯的順序, 不在快取行密度 (§VI-D)。
4. **零組態安全方法論** (以實作呈現, 不作主張): 記憶體/匯流排/儲存節點由其物理辨識——上拉旗標、通道元件 union-find、電容比較、驅動腳排除——從不用名字。儲存細胞會自己排除自己, 因為大電容正是儲存的物理本質。
5. **可證偽的單核效能邊界地圖:** 九階段同日消融加硬體計數器 (§VI), 以及對每一條抽象化/平行化路線的實測負結果 (§VII)。

由於期刊篇幅必須略去大部分證明、完整負結果數據與工程細節, 一份約 100 頁的技術專論, 連同引擎、benchmark 套件、公開排行榜與全部原始量測數據, 皆公開可得 [21]。

2 背景與系統模型

電荷分享與浮接 tie-break。在 Bryant 開關級模型 [1] 裡, 一個節點的值由「經目前導通電晶體可達的最強驅動者」決定; 當沒有驅動者可達, 節點即電氣浮接、保留電荷。我們的引擎以「OR 成員旗標 → 索引一張 256 項優先序查找表」解析導通群 (ForceCompute 的 Gnd+Pwr 互消; 接著 Gnd > Pwr > 外部驅動高 > 外部驅動低 > 上拉 > 保持前值)。純浮接群解析成其最大電容成員的前一狀態 (嚴格大於; 先見者勝平手)。這條規則就是晶片的全部儲存機制: 每個動態門鎖、管線暫存器位元、OAM 細胞都靠它儲存。本模型在功能上等同 MOSSIM II 減去 X(未知) 態, 並以確定性的上電安定取代未知初始電荷。

安定迴圈與其順序。時間一次推進一個主時脈半週期 (hc)。每個 hc 排空一串安定波 (實測平均 12.06、最多 45): 一個波重算當下 dirty 的節點, 每個做一次群走訪。關鍵是: 波內求值順序是 Gauss-Seidel、屬可觀察語意——處理一個節點會改動「決定其他節點通道是否導通」的狀態, 所以重排會改變結果。這個掃描順序是 Visual 6502 譜系 [15] 的軟體約定、不是物理定律; 逐位元重現它, 是晶粒級保存與軌跡驗證所要求的凍結參考契約 (RNG 種子或精靈碰撞旗標差一個 cycle 就讓驗證失效), 而非對峙連續時間行為的主張。這個單一性質主宰了底下每一個優化與每一個負結果。

這個家族。網表源自 Visual 6502 計畫的 chipsim.js [15] 套用到 NES 晶片 [16]。隨後有逐字 C++ 移植 (VisualNes [19]) 與僅 6502 的優化重寫 (perfect6502 [18]); MetalNES [17] 把這條譜系重新工程化成含板載 TTL、行為式板載記憶體與 256 項解析表的整機組成——是我們的直系祖先。AprVisual 承襲 MetalNES 的組成與位元精確契約, 並加上 §III-§V 的一切。引擎的熱狀態是非託管 SoA(1-byte 狀態、含 12-byte 行內 payload 的 16-byte 節點紀錄、ushort 電晶體清單), 搭配雙緩衝波佇列與去重 hash; 板載記憶體 (RAM/ROM) 是行為式 callback, 而晶粒上每一個節點——含全部儲存——都是開關級。引擎程式碼與 benchmark 編排腳本係在 Anthropic Claude 協助下開發; 每個被採納的修改都受位元精確 checksum 把關, 故 AI 輔助不會放鬆正確性契約 (詳見參考文獻前的「生成式 AI 揭露」)。

3 可證明無效的事件壓制

對穩態的剖析顯示約 80% 的節點重算什麼都沒改: 節點被重算、卻解析成它本來就持有的值。這些不是隨機的——是結構性的。剪枝家族在入列之前刪掉其中可證明無效的子集, 所以省下的是整條「入列 → 彈出 → 走訪 → 解析」鏈, 不只是快速解析。

3.1 A. P-1: 同態 (same-state) 入列剪枝

當一個閘極導通, 它會合併兩個群。若兩個通道端點已持有相同狀態、且合併後的群經單調的驅動優先序 LUT 解析, 則這次合併不可能改變任何值, 於是入列被壓掉。健全性需要一個安全汙染標記: 無上拉節點 (其值是浮接保持前值, 同態合併仍可能翻動 tie-break) 與 ForceCompute 通道元件是不安全的、永遠入列。此汙染由載入期一次性的通道 union-find 算出。

3.2 B. P-2: 關斷隔離剪枝

當一個閘極關斷, 一個度 1 且無驅動的通道端點, 在其唯一通道斷開的那一刻就成為孤立、無驅動的單例。因此它浮接並保持前一值——重算它是有保證的 no-op。這是純靜態的結構性質, 而在佇列前壓掉它是一項 (次要的) 原創貢獻主張。

3.3 C. P-3/P-4: 電容支配 un-taint

性質 1(電容支配)。設節點 x 的连接數 (電容代理) 嚴格小於其每一個通道鄰居。則 x 永遠不可能是它所加入的任何群的最大電容成員, 因此永遠無法決定浮接 tie-break; 於是經過 x 的同態合併不可能改變任何已解析的值, 故 x 即便沒有上拉, 也可為 P-1 解除汙染。

這是一個精確的演算法推導、而非物理近似:resolver 實際用來解 (罕見的) 純浮接群的那個度量, 就是結構性的连接數——視為寄生電容的拓模代理——所以性質 1 推理的是引擎實際比較的那個整數, 不是它的估計值。這點是建設性的: 重儲存節點正是支配電容的參與者, 所以一個被支配的節點可證明不是儲存、可安全剪枝。這把 P-1 保守汙染原本會禁止的大部分無上拉質量救了回來。文獻最近鄰是 IRSIM 的 maxnode 尺寸粗化 [3], 但那是花在解析效率上的手動旋鈕; 我們的是花在事件壓制上的推導不等式, 且是精確而非啟發式。

三個證明都在載入期評估一次。分類遍是通道 union-find 加電容比較與驅動腳排除; 熱迴圈只測一個預計算位元。合計 (消融階段 S2-S3, §VI) 剪枝值 +26.4% 再 +7.2%、刪掉約 21% 的重算、並使整條階梯的已執行指令數降 33%。它們構不到的是剩餘約 80% 的 no-change 質量 (上拉與電源重算); 三項獨立分析確認它沒有靜態子集, 是結構地板。

4 基數特化派發

群大小分布很極端: 77% 的群走訪建出恰為兩個節點的群, BFS 深度平均 1.13。兩個執行期基數證明利用這點, 各自就地解析、不碰通用 BFS 暫存。

4.1 A. R-1: 動態單例

一個被分類為動態單例候選的節點有 pass 通道, 但每當其所有閘極在當下半週期皆 OFF 時, 其導通群恰為 $\{n\}$ 。一次掃過閘極狀態即可在執行期證明這點; 成立時, 群以 $O(1)$ 解析, 與通用走訪逐位元相同。這是最大的單一消融階 (+18.7%): 它把最常見的情況變成一條短相依載入鏈, 而非 BFS。

4.2 B. B1: 成對路徑

當恰有一個閘極 ON、且鄰居自身的 ON 通道全部折返種子, 群可證明恰為 {種子, 鄰居}。它就地解析, 精確複製走訪的順序敏感行為: 清成員的去重 hash、OR 兩節點的電源清單、浮接 tie-break 用同樣的嚴格大於/種子勝形式、兩次寫入依走訪順序進行以保住下一波的入列順序。

每一個放棄條件 (第二個 ON 閘、溢位或 `callback/ForceCompute` 鄰居、鄰居任何 ON 通道連到第三點) 都在任何變異之前檢查, 故回退到通用走訪是精確的。B1 值 +7.0%。R-1 與 B1 都是動態 `active-subnetwork` 尺寸的誠實變體, 與既有工作的差別僅在於它們是帶位元精確義務的早退執行過濾器, 而非解析簡化。

5 自我捕捉資料重排

典型的 `reverse-Cuthill-McKee` 重編號 [22] 在此實測無用: 熱工作集 (約 15 KB) 本就 L1 常駐, 密度提高 45% 換來 ± 0 。目標函數必須從局部性改成刪除相依鏈上的載入。

5.1 A. 區間剪枝 (類別為主鍵重編號)

把各剪枝類別用類別為主鍵重編號做成連續 id 區塊 (本網表上邊界 $A = 460$ 、 $S = 1275$ 、 $B = 7532$), 於是熱迴圈的安全查表變成對常數的暫存器比較, 而非相依記憶體載入 (關斷跳過 $\Leftrightarrow c < S$; 導通不安全 $\Leftrightarrow c < A \parallel c \geq B$)。遮罩在每次 `reset` 由結構重算為基準真相、並據以驗證 id; 不符就回退到安全退化佈局 (剪枝關閉、仍正確)——去優化防護模式 [13]。此步值 +4.2%。

5.2 B. 自我捕捉初次觸碰鍵

接著是三遍載入: 分類節點; 類別為主鍵重建、`warm` 過 `reset`、用 `settle` 迴圈的冷儀器化副本記錄 32,768 hc 生產級聯的真實初次彈出順序; 再以 (類別, 捕捉到的初次觸碰順序) 為排序鍵做最後一次重建。總載入成本約 1.3 s、不需 `profile` 檔、每次載入重新導出, 故對工作負載漂移免疫。正確性構造上與佈局無關: 上電掃描與狀態 `checksum` 透過排列以原始 id 順序迭代, 所以任何佈局下所有 `golden checksum` 都不變。此步值 +5.0%。

5.3 C. 順序, 而非密度

決定性的對照是一個四鍵實驗, 量每半週期 `NodeInfo` 快取行足跡對速度: 盲目 BFS 鍵每 hc 觸碰 118.4 行; 同一捕捉在剪枝停用下達 110 行/hc 卻只有 $\pm 0.0\%$; 捕捉在剪枝啟用下達 105.9 行/hc 並交出 +6.17%。密度相同、來歷不同、結果相反——有效成分是「已剪枝的生產級聯」觸碰記憶體的順序, 而非行打包。§VI 的硬體計數器直接佐證。

6 評估

6.1 A. 環境與方法

所有量測在同一台機器: AMD Ryzen 7 3700X (Zen 2, 8C/16T, 每核 32 KB L1d + 32 KB L1i), Windows 11, 各階段使用的 .NET 10/11 如註。工作負載為 `full_palette.nes` (社群開源的 NES 測試 ROM, 顯示完整調色盤), 每跑 400,000 個主時脈半週期 (計數器跑用 1M), 任一時刻只有一個 `benchmark` 進程。時脈不鎖頻, 變異由協定控制——消融階段是真實歷史 `commit` 在隔離 `worktree` 中重建、並於每輪 `round-robin` 交錯使熱漂移平均落在每階段, 回報每階段中位數。每一跑都通過全狀態 `FNV-1a checksum` 閘 (400k hc 為 `0x9174E19D961CB6E5`); 全部 72 次消融跑次皆通過。各階變異很小: 九輪的變異係數 (CV) 為 1.1–2.3% (中位數 1.7%); 對九輪做成對符號檢定, 每一個採納的步進都顯著——除 +2.8% 的 S4 (條件重排 + `supply-skip`) 為 8/9 輪 ($p = 0.039$) 外, 其餘各步皆 9/9 輪為正 ($p = 0.004$)——因此連最小的步進也高於雜訊地板。

6.2 B. 消融階梯

S0→S7 累計增益 +94.6% (中位數), 同機、同日、皆位元精確。兩個介於其間的中性 `commit` 另以三方交錯確認 S6→S7 歸因 (在完全分離的分布上 +8.9%)。此梯是疊加式構造——每一階都在前一階之上、以固定順序量測——因此報告的是該路徑上的邊際貢獻, 而非交互作用的完整因子

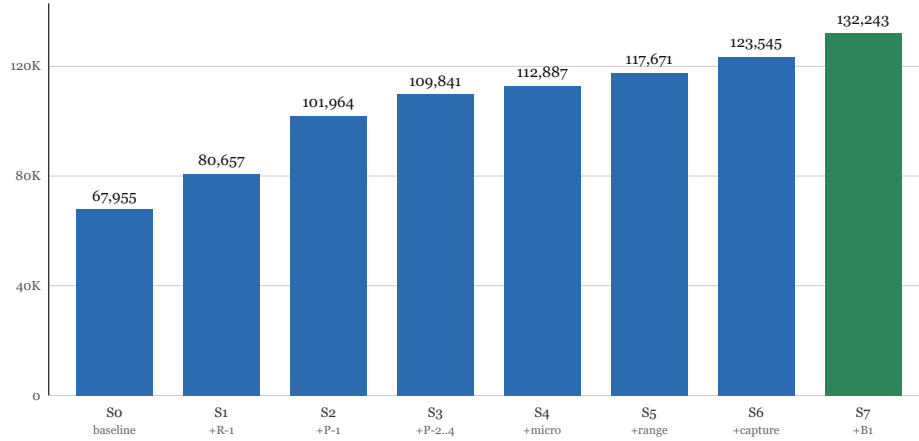


圖 1: 九階段同日消融階梯 (中位數 hc/s, 每跑 400k hc, 皆位元精確)。S0 基線 → S7 完整方法: 單核累計 +94.6%。

表 1: 消融階梯: 每階段中位數吞吐量 (hc/s)、單步增益, 以及相對於既有文獻的貢獻性質 (§III–V)。

階段	Commit	新增	中位數 hc/s	單步	性質
S0	09565de	基線分支 (靜態 fast path)	67,955	—	工程 (基線; 已知的靜態 CCC 派發)
S1	a80dab4	+ R-1 動態單例	80,657	+18.7%	變體 (IRSIM 動態尺寸的早退)
S2	ed8c457	+ P-1 同態剪枝	101,964	+26.4%	變體 (載入期事件壓制)
S3	6bdc25b	+ P-2/P-3/P-4	109,841	+7.2%	獨立貢獻 (電容支配證明——最強主張; P-2 次要)
S4	00ab4fa	+ 條件重排 + supply-skip 摺疊	112,887	+2.8%	工程 (微優化)
S5	51e046d	+ 區間剪枝 (.NET 11)	117,671	+4.2%	變體 (inspector-executor 資料重排)
S6	3e4a571	+ 自我捕捉初次觸碰鍵	123,545	+5.0%	獨立貢獻 (自我捕捉的軌跡驅動重排; 順序而非密度)
S7	2749105	+ B1 成對路徑	132,243	+7.0%	變體 (執行期基數樣板比對)

隔離; 觸及同一瓶頸的階段 (例如派發與剪枝) 在不同順序下可能重新分配各自的功勞。性質欄說明每一步相對於既有文獻的定位 (詳見 §III–V): 工程 = 標準實作、不主張新穎; 變體 = 帶特定轉折的已知技術 (派發早退帶位元精確義務; 剪枝/重排是載入期/結構性形式); 獨立貢獻 = 我們主張的兩項——電容支配 un-taint(P-3/P-4) 與自我捕捉初次觸碰重排。

6.3 C. 硬體計數器剖析

表 2: 每階段 PMC 剖析 (每跑 1M hc; 事件數 $\approx$ 樣本數 $\times$ 間隔)。

階段	IPC	L1i MPKI	L1d MPKI	分支誤判 MPKI	指令 (B/1M hc)
S0	2.11	0.169	27.3	3.27	155.6
S2	2.38	0.187	24.5	2.74	116.0
S5	2.25	0.284	13.2	2.87	107.8
S7	2.34	0.292	13.0	2.68	104.4

三個發現撐起本文的論點。(1) L1i 在直譯器裡不是問題——每階段 0.17~0.30 MPKI (約 0.6% 的 fetch), 因為完全內聯的 settle 迴圈塞得進 32 KB L1i。這是「為何每個編譯/AOT 變體都輸」 (§VII) 的計數器層級原因: 程式碼足跡正好在直譯器零成本之處爆掉。(2) 重排把每指令 L1d miss 砍約 52% (絕對 -67%, 27.3 $\rightarrow$ 13.2 MPKI), 牆鐘卻只動 +4.2%, 而之後的自我捕捉鍵 (+5.0%) 幾乎不動 miss 計數——直接證明引擎受限於相依載入延遲、而非 miss 數, 且局部性鍵的價值在順序、不在打包。(3) 剪枝刪的是指令、不只是事件——已執行指令降 33% (每 1M hc 155.6B $\rightarrow$ 104.4B),

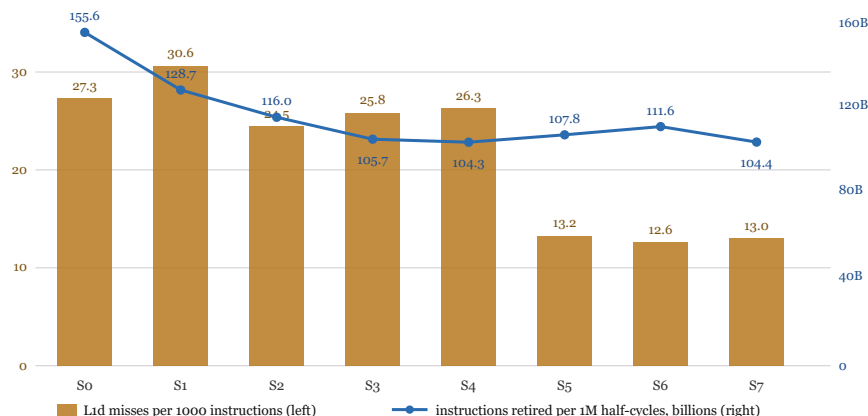


圖 2: 每階段硬體計數器 (ETW PMC 取樣, 每階段 1M hc): 每千指令 L1d miss(長條) 與每 1M hc 已執行指令 (折線)。重排 (S5) 把 L1d MPKI 砍半; 指令數整條階梯降 33%; L1i 全程可忽略。

而 IPC 維持約 2.1~2.4。(本機沒有可用的最後階快取計數器; 約 15 KB 的熱集 L1 常駐, 故 L3 流量預期可忽略。)

6.4 D. 家族比較

在同一台機器、同一 ROM、同一單位下: 逐字 chipsim.js 移植 (VisualNes) 約 24K hc/s、直系祖先 MetalNES 約 54K; AprVisual 達約 136K——約 2.5 倍祖先、約 5.6 倍逐字移植版。(perfect6502 約 29K 為僅 6502、單位不同, 不可直接排名。)NES 即時為 42.95M hc/s, 故目前單核差距約 316 倍。這裡有兩種比較、彼此不同。跨語言: 我們未調優的 C# 基線 (S0, 約 68K) 就已追平已優化的 C++ 祖先 (約 54K), 所以受控執行期不是決定因素——「語言可行」這個主張靠的是基線、不是頭條數字。跨方法: 從 54K 到 136K 的約 2.5 倍, 是本文的演算法工作 (S0→S7), 可移植、與語言無關。(我們並未重新調優 MetalNES 的建置; 因此跨語言比較是以基線對祖先、保守地下結論。)

6.5 E. 跨 NMOS 時代的泛化

為了測試引擎是否對 NES 2A03 過擬合, 我們把它原封不動跑在另外三個獨立的 Visual 6502 網表上——MOS 6502、Motorola 6800、Zilog Z80——在引腳邊界以「無限 NOP sled」驅動 (每次讀取都把資料匯流排強制成該晶片的 NOP 指令值, 故不需測試 ROM)。唯一新增的程式是一個 raw 網表載入器與每晶片的時鐘/匯流排驅動; 模擬核心完全沒動, 完整方法 (lowering、P-1-P-4、class-major 重排、自我捕捉重佈局、非託管熱路徑) 照單全收。三顆都成功上電並執行——位址匯流排隨程式計數器遞增而前進——反駁了「實作只對單一網表有效」。

這個泛化也讓我們能精確陳述貢獻、並化解那個顯而易見的質疑——「把 JavaScript 模擬器改寫一遍, 快只是因為離開了瀏覽器」。作為校準, 我們把參考演算法 (chipsim.js 的遞迴 group-walk) 逐節點忠實移植成 C# 與 C++ 兩者 (無剪枝、fast-path、SoA; 電晶體數與 JavaScript 完全相同), 所有引擎跑同一工作負載 (表 III)。兩個編譯式 naive 基準彼此落在 $\sim 1.4\times$ 內, 所以從 JavaScript 原版起跳的 $\sim 70\text{--}85\times$ 是一次性的語言紅利 (直譯 $\rightarrow$ 編譯), 不是我們的貢獻。扣掉它, 我們的方法在同一語言、相對 naive 開關級模擬器再帶來 $\sim 5\text{--}8\times$ ——與 §VI-D 相對已優化 C++ 祖先的 $\sim 2.5\times$ 一致 (調優過的基準本身就是 naive 的數倍)。每節點 checksum 在所有設定下完全相同, 確認位元精確。我們不做 managed-vs-native 的比較: 同演算法下兩個編譯語言落在 $\sim 1.4\times$ 內, 而貢獻是演算法、不是 runtime。最後, 剪枝 (P-1-P-4) 與電容支配 tie-break 建立在 NMOS pass-transistor 的物理本質、而非 NES 特定拓樸——這正是它們能原封不動套到 6502、6800、Z80 的原因。換算成時脈, 這些裸 CPU 在單核模擬於約 31–73 kHz (不需 NES 的 master/12 分頻), 約為其 1980 年代家用電腦宿主速度的 1/14–1/128, 比整台 NES (約 316 $\times$) 離可互動近得多。

表 3: 對三顆 NMOS CPU 的泛化, 以及語言校準: 以 JavaScript / C# / C++ 的逐節點 naive 移植隔離語言紅利, 留下「演算法」欄 (naive→AprVisual, 同 C#) 作為貢獻。hc/s, 同機、NOP-sled、pin; 皆位元精確。

晶片	節點	JS naive	C# naive	C++ naive	AprVisual	演算法
MOS 6502	1704	249	17,914	26,239	145,337	~8.1×
Motorola 6800	2012	149	12,582	17,137	89,233	~7.1×
Zilog Z80	3595	166	12,255	18,452	62,491	~5.1×

為驗證這些演算法增益並非特定微架構的產物, 我們在 ARMv8.2 平台 (Broadcom BCM2712, Cortex-A76) 上重現了整套評估。引擎維持嚴格的跨 ISA 位元精確——兩台主機產出完全相同的全狀態 checksum——且相對 naive 基線、同語言的演算法加速也穩定重現 (ARM ~4–7×, 對 x64 ~5–8×), 證明本文的優化不依賴底層硬體。

7 限制與邊界

我們把負結果視為一級成果: 本專案明文記載的產出是一份可證偽的邊界地圖, 不只是一個引擎。底下每條路線都實作並量測過; 每一列都是在此工作負載上的一個有界實作, 不是「整類不可行」的證明——例如把同構 CCC 拓樸聚成可重用函式 (COSMOS [2] 的精神)、而非把網表攤平的編譯路線, 可能表現更好, 留作未來工作。

表 4: 實測負結果 (單實例、位元精確)。

路線	結果
IR 直譯器	–2.5%
AOT / codegen(C# 發射、LLVM)	慢 3–6 倍
GPU(單實例、D3D11)	慢約 10.7 倍
位元平行 BFS(Ligra 式 [23])	慢約 156 倍
雙執行緒 CPU PPU 切分 (每波)	0.68–0.89×(更慢)
維護執行期事實 (P-5)	毛增益 +13.8%(只看旁路), 扣維護成本後最佳淨增益 –6.8%
提早停止安定 (截斷深波)	<1000 hc 內災難性發散

結構性原因一致: 平均導通群 1.13~1.4 節點 (無可批次的規律, 扼殺 SIMD 與 GPU); 約 94% 的相依圖是一整塊雙向強連通元件 (無靜態分割); 波內 Gauss-Seidel 順序是可觀察語意 (不可重排)。最後一點也是「即使有乾淨切分, 多執行緒仍失敗」的原因。我們實作了一個真實的位元精確雙執行緒 CPU||PPU 切分 [24](兩顆晶片除了 14 條耦合線外通道不相連, 故不需鎖、只需一個 barrier); 它位元精確, 但可平行的波是 0%, 因為共用的時鐘分配出現在約 92% 的波裡、又 gate 兩側, 而一個放寬版即使讓 53% 的波平行也只跑 0.68×, 因為約 134 ns 的跨核 barrier 淹掉每波約 0.6 μs 的工作。誠實的結論是: 在這個工作負載上, 多核只有以「許多獨立實例的吞吐」形式才幫得上忙, 而那在本文單實例、位元精確的範圍之外。編譯路線的落敗有直接的計數器層級解釋 (§VI-C): 一個塞得進 L1i、受相依載入延遲所限的直譯器, 沒留下什麼給編譯器移除, 卻多出更大的足跡要付。一個範圍上的提醒: 這裡的位元精確是相對於 Visual 6502 / MetalNES 參考譜系 [15]–[17] 定義的, 不是相對於實體 2A03/2C02 矽晶的邏輯分析儀擷取; 本文的貢獻是忠實重現既有參考模型, 與真實晶粒的驗證不在範圍內。頭條量測都在單顆 Zen 2 核心上; §VI-E 顯示引擎與其完整方法可原封不動套用到 6502、6800、Z80 網表——並位元精確地套用到第二顆微架構 (ARM Cortex-A76)——故結果不限於 NES、也不限於單一宿主 CPU。非 NES 晶片以合成 pin 驅動 NOP sled 量測 (一個保守的上限壓力測試, 使引擎維持 CPU-bound、不受外部記憶體或 I/O 模擬影響); 這些裸晶粒的 test-ROM 端到端驗證, 以及 CMOS 晶片 (其互補路徑尚非 NMOS 剪枝所建模), 屬已界定的未來工作。

8 結論

一個受控語言、位元精確、整機的開關級模擬器,可以在單核上達到矽速度的約 0.3%——約 2.5 倍其優化過的 C++ 祖先——靠的是刪除可證明無效的事件、特化極小基數的解析,以及讓引擎在載入時由自己的執行軌跡重新導出自己的記憶體佈局。硬體計數器精確定位了剩餘的時間:在 L1 常駐工作集上的相依載入延遲,指令 `fetch` 幾近免費——這正是直譯勝過編譯、且地板只隨硬體 (記憶體延遲、每核 IPC) 移動的區間。最強的單一主張——電容支配 `un-taint`, 花在入列前事件壓制、而非 `IRSIM` 式解析粗化 [3]——以及「順序而非密度」的發現,就我們所知在此情境下是新的;重排本身則是把 `inspector-executor` 與軌跡驅動佈局 [7]–[12]、[20] 零組態地應用到開關級 EDA 圖上,派發特化則是已知技術的誠實變體 [2]、[3]。受我們自己的負結果所界定的未來工作,是建在同一套抽取機具上的閘級分析視圖 (速度之外的價值),以及在未來硬體上重新檢視這份邊界地圖,因為我們發表過的每一個天花板都是被一次量測、而非一個論證所推翻。

生成式 AI 揭露

作者聲明使用 Anthropic 的 Claude (透過 Claude Code CLI) 協助撰寫與潤飾本文、查閱相關工作、撰寫與重構模擬器引擎程式碼、編排 `benchmark` 與硬體計數器執行、解析實驗結果。所有 AI 生成之內容與程式碼,均經人類作者徹底檢視、測試 (以本文所報告的位元精確 `checksum` 與保留的硬體計數器量測驗證) 與查核;作者對本研究之原創性、準確性與完整性負完全責任。無任何 AI 系統列為作者或共同作者。本聲明旨在同時符合 arXiv 生成式 AI 政策、IEEE PSPB 指引,以及 ACM 著作權政策 (ACM Policy on Authorship)。

參考文獻

- [1] R. E. Bryant, "A Switch-Level Model and Simulator for MOS Digital Systems," *IEEE Trans. Computers*, C-33(2), 1984.
- [2] R. E. Bryant et al., "COSMOS: A Compiled Simulator for MOS Circuits," *Proc. DAC*, 1987.
- [3] A. Salz and M. Horowitz, "IRSIM: An Incremental MOS Switch-Level Simulator," *Proc. DAC*, 1989.
- [4] E. G. Ulrich, "Exclusive Simulation of Activity in Digital Networks," *Commun. ACM* 12(2), 1969.
- [5] M. Boehner, "LOGEX — an Automatic Logic Extractor from Transistor to Gate Level for CMOS," *Proc. DAC*, 1988.
- [6] M. Ohlrich, C. Ebeling, E. Ginting, L. Sather, "SubGemini: Identifying SubCircuits using a Fast Subgraph Isomorphism Algorithm," *Proc. DAC*, 1993.
- [7] J. Saltz et al., "A Manual for the CHAOS Runtime Library," Univ. of Maryland TR, 1995.
- [8] C. Ding and K. Kennedy, "Improving Cache Performance in Dynamic Applications through Data and Computation Reorganization at Run Time," *Proc. PLDI*, 1999.
- [9] M. M. Strout, L. Carter, J. Ferrante, "Compile-time Composition of Run-time Data and Iteration Reorderings," *Proc. PLDI*, 2003.
- [10] T. M. Chilimbi, M. D. Hill, J. R. Larus, "Cache-Conscious Structure Layout," *Proc. PLDI*, 1999.
- [11] T. M. Chilimbi, "Efficient Representations and Abstractions for Quantifying and Exploiting Data Reference Locality," *Proc. PLDI*, 2001.
- [12] B. Calder et al., "Cache-Conscious Data Placement," *Proc. ASPLOS*, 1998.
- [13] U. Hölzle, C. Chambers, D. Ungar, "Debugging Optimized Code with Dynamic Deoptimization," *Proc. PLDI*, 1992.
- [14] S. Somogyi et al., "Spatial Memory Streaming," *Proc. ISCA*, 2006.

- [15] The Visual 6502 project — chipsim.js and the die-shot-derived 6502 netlist. visual6502.org.
- [16] Quietust, Visual 2A03 and Visual 2C02 die-shot-derived netlists.
- [17] iaddis, MetalNES — transistor-level NES-001 simulation. github.com/iaddis/metalnes.
- [18] M. Steil et al., perfect6502. github.com/mist64/perfect6502.
- [19] VisualNes — C++ port of the Visual 2A03/2C02 simulators.
- [20] M. R. Haghighat and D. C. Schr, "Profile-guided data layout," U.S. Patent 7,143,404 B2, 2006.
- [21] AprVisual — 引擎、benchmark 套件、排行榜、原始數據與約 100 頁的完整專論:github.com/erspiku/AprVisual;erspiku.github.io/AprVisual。
- [22] E. Cuthill and J. McKee, "Reducing the Bandwidth of Sparse Symmetric Matrices," *Proc. 24th Nat. Conf. ACM*, 1969.
- [23] J. Shun and G. E. Blelloch, "Ligra: A Lightweight Graph Processing Framework for Shared Memory," *Proc. PPOPP*, 2013.
- [24] R. M. Fujimoto, "Parallel Discrete Event Simulation," *Commun. ACM* 33(10), 1990.